

① 대 한 민 국 특 허 청 (KR)
② 공 개 특 허 공 보 (A)

③ Int. Cl.
II 01 L 23/50

제 2658 호

④ 공개일자 1997. 11. 7
⑤ 출원일자 1995. 4. 1

⑥ 공개번호 97-72358
⑦ 출원번호 96- 9774

설사청구 : 있음

⑧ 발 명 자 허 명 옥 경기도 성남시 분당구 수내동 55 롯데아파트 132- 1504

⑨ 출 원 인 아님산업 주식회사 대표이사 왕 인 실

서울특별시 성동구 성수 2가 280-8 (우 : 133-120)

⑩ 대리인 변리사 서 만 규

(전 2면)

⑪ 반도체패키지의 제조방법 및 구조

⑫ 요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로통작시 발생되는 열당출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬은 물론, 패키지의 물정부 외측에 위치한 리드는 절단하고, 물정부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 티드의 저면에서 신호전달을 하도록 함으로서 설장면적을 최소화할 수 있는 반도체패키시이다.

특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침합재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산회 및 부식으로부터 보호하기 위하여 물당하는 단계와; 상기 단계 후에 물당영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 배풀 흠(Vacuum Hole)이 형성된 허더블럭에 반도체칩을 위치시켜 상기 배급 흠으로 공기를 빨아들여 반도체칩을 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 물당단계는 액상봉지재를 사용하여 물당하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상봉지재를 사용하여 물당하기 전에 물당영역에 맷을 형성하여 액상봉지재가 풀려 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 물당단계는 물드 침파운드를 사용하여 물당하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상봉지재 및 물드 침파운드로 물당 후, 150°C 이상의 고온에서 수시진 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 물당영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체패키지의 제조방법.
9. 저면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 물당영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물당된 액상봉지재 또는 침파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 물당된 액상봉지재 및 침파운드는 리드 및 반도체칩의 상부로만 물당된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래시(Flash)의 채거를 위해 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 나수의 리드 중앙부에는 침합재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 저작출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

